

(11)Publication number:

04-087406

(43) Date of publication of application: 19.03.1992

(51)Int.CI.

H03F

H03F

3/10

(21) Application number : **02-203026**

(71)Applicant : NEC CORP

(22) Date of filing:

31.07.1990

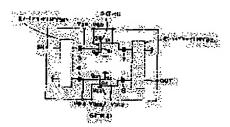
(72)Inventor: AKASAKA SEIZO

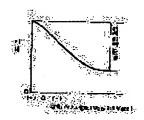
(54) AMPLIFYING DEVICE

(57) Abstract:

PURPOSE: To narrow the maximum gain control range to 60dB, and to execute the gain setting with high accuracy by constituting a balance type amplifier with a pair of dual gate transistors, and controlling the variable gate bias voltage of the balance type amplifier.

CONSTITUTION: When prescribed bias voltages are applied from fixed bias input terminals Vg11, Vg12, and an input signal is inputted from a signal input terminal IN, the input signal is bisected by a hybrid 1, and inputted to coupling capacitors 3, 4. To outputs of 3 and 4, a fixed bias is added, and each signal voltage is inputted to signal input gates g11, g12 of dual gate transistors 5, 6 and controls a drain current. Thus, the drain current becomes that which is obtained by amplifying the input signal, and an output signal synthesized by a hybrid 2 becomes a signal obtained by amplifying the input signal with the prescribed gain. That is, the gain can be controlled by a variable bias voltage supplied from variable bias input terminals Vg21, Vg22.





LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平4-87406

(43)公開日 平成4年(1992)3月19日

(51) Int. Cl. ⁵		識別記号	庁内整理番号	FΙ			技術表示箇所
H03F	1/30	Α					
H03F	3/60						
H03G	3/10	С					
				H03F	1/30	· A	
				H 0.3 F	3/60		
	審査請求	未請求				(全3頁)	最終頁に続く
(21)出願番号	特願平2−203026			(71)出願人		0423 電気株式会社	
(00) 11185 [7	平成2年(1990)7月31日					邓港区芝5丁目7番1号	
(22) 出願日	1-)	双2年(1990)7万。	ын	(72)発明者		清三	
				(12) 50 71 8		邓港区芝5丁目7番1号	日本質気株式
					会社区		
				(74)代理人			
				•		•	
				· ×			
			•				
						•	

(54) 【発明の名称】 増幅装置

(57) 【要約】本公報は電子出願前の出願データであるため要約のデータは記録されません。

【特許請求の範囲】

(1) 一対のデュアルゲートトランジスタで平衡型の増幅器を構成するとともに、各デュアルゲートトランジスタの一方のゲートに入力信号とバイアス電圧を印加し、いずれか一方のデュアルゲートトランジスタにおける他方のゲートには利得制御用可変バイアス電圧を印加してなる構成としたことを特徴とする増幅装置。

1

(2) 上記請求項1に記載の増幅装置において、上記デュアルゲートトランジスタをGaAsデュアルゲートトランジスタをGaAsデュアルゲートトランジスタで構成したことを特徴とする増幅装置。

【発明の詳細な説明】

「産業上の利用分野コ

本発明は、増幅装置に関し、特に、精度の高い利得設定 を要するマイクロ波通信装置に使用して好適な増幅装置 に関する。

[従来の技術]

マイクロ波通信装置に使用される増幅装置は精度の高い 利得設定が要求され、特に温度変化で変動する利得を一 定に保つための温度補償の面でも精度の高いものが要求 される。

従来の増幅装置における利得制御は、定インピーダンス 化を計った可変抵抗減衰器を増幅回路とともに使用し、 全体としての利得制御を行ついる。

この可変抵抗減衰器としては、例えば順方向電流により 動作抵抗値が変化するPINダイオードを回路内の線路 に直列または並列に接続して可変抵抗回路を構成すると ともに、さらにこの可変抵抗回路を平衡型に接続して定 インピーダンス化を計っている。

[解決すべき課題]

上述した従来の増幅装置においては、以下のような問題 30 点があった。

可変抵抗減衰器はPINダイオードの持つ広範囲な動作抵抗値によって18(18以上の大きな減置型の変化を得ているが、その反面で安定な減衰量の設定のためにPINダイオードの逆方向バイアス電流をより安定にするための高安定バイアス制御回路を必要とする。

また、PINダイオードそれ自身の持つ動作抵抗値の温度係数が1℃あたり+0.1~+0.2%であるため、温度変化に対しての安定な減衰量設定のためには、さらにバイアス制御回路に温度補償素子を含めた温度補償機40能を付加する必要が生じ、高安定なバイアス制御回路の実現を困難としている。

さらに、可変抵抗素子として使用されているPINダイオードは、放射線が照射されると順方向抵抗値が著しく増加して実用に耐えない。このため、通信衛星での使用のように、宇宙空間の使用に際しては全体に重金属による放射線シールドを施すことが必要となり、軽量化が強く要求される衛星搭載通信機の場合には質量上の問題が生じる。

本発明は、上記i*mにかんがみてなされたもので、高 50

精度な利得制御が可能で、かつ衛星搭載通信機にも使用 可能な増幅装置の提供を目的とする。

2

[課題の解決手段]

上記目的を達成するため、第1の請求項に記載の発明は、一対のデュアルゲートトランジスタで平衡型の増幅器を構成するとともに、各デュアルゲートトランジスタの一方のゲートに入力信号とバイアス電圧を印加し、いずれか一方のデュアルゲートトランジスタにおける他方のゲートには利得制御用可変バイアス電圧を印加してなる10 構成としである。

また、第2の請求項に記載の発明は、請求項1に記載の 増幅装置において、上記デュアルゲートトランジスタを (、 a A s デュアルゲートトランジスタで構成しである

[作用]

上記のように構成した第1の請求項に記載の発明においては、平衡型増幅器を構成する一対のデュアルゲートトランジスタは、それぞれ一方のゲートに入力される入力信号とバイアス電圧によって相反する増幅を行うが、いでが、からです。では、他方のゲートに入力される利得制御用可変バイアス電圧によって利得が制御され、同制御用可変バイアス電圧によって生じる利得の差に応じた増幅を行う。

また、第2の請求項に記載の発明においては、かかる増幅を行うデュアルゲートトランジスタがGaAsデエアルゲートトランジスタで構成すれているため、温度変化にかかわらず一定の増幅を行う。

すなわち、デュアルゲートトランジスタ施例た平衡型増幅器を構成し、この平衡型増幅器のいずれか一方のデュアルゲートトランジスタの可変ゲートバイアスの制御でもってデュアルゲートトランジスタの利得を制御し、平衡型増幅器全体の利得を制御している。

[実施例]

以下、図面にもとづいて本発明の詳細な説明する。

第1図は本発明の一実施例に係る増幅装置のブロック図、第2図は同増幅装置におIする利得制御を説明するグラフである。

g 1 2 に入力されており、がっ、各信号入力ゲートg 1 1. g 1 2 +、:ハ固定バイアス入力端Vg 1 1、Vg 1 2 が接続されている。

一方、デュアルゲートトランジスタ(TRI。

TR2) 5.6における他の信号入力ゲートg21、g22には可変バイアス入力端Vg21.Vg22が接続され、それぞれのトランジスタS6における信号入力ゲ

3

ートgll、g21およびg12.g22に印加される 電圧に応じてドレイン電流供給端子VDOI、 VD O2より供給されるドレイン電流が制御される。

デュアルゲートトランジスタ5,6のドレインDI、D2は結合用コンデンサ7.8を介して7、イブリッド2に入力され、同ノ・イブリッド2はベクトル合成して増幅信号を出力#AotJTから出力する。

上記構成において、固定1<イアス入力fiVg11、Vg12から所定のバイアス電圧を印加し、信号入力端INから入力信号を入力すると、入力信号はハイブリ、ド1にて2分され、結合用コンデンサ3.4に入力される。同コンデンサ3.4の出力には上記固定バイアスが加算され、各信号電圧がそれぞれのデュアルゲートトランジスタ5°6における信号入力ゲー)g11、g121こ入力されてドレイン電流を制御する。この結果、ドレイン電流は入力信号を増幅したものとなり、ノルイブリフト2で合成された出力信号は入力信号を所定利得

このとき、一方のデュアルゲートトランジスタ5(または6)の可変バイアスゲートg21(またはg22)の20電圧を、予め設定した最適バイアス電圧から負の方向に電圧を変化させていくと、同トランジスタ5(または6)はピンチオフに近い状態となって増幅機能が低下する。従って、同トランジスタ5(または6)のみの利得1!+f低下してハイブリ1ド2で合成された出力量は低下するため、平衡型増幅器全体としての利得を低下させることができる。

すなわち、可変パイアス入力端Vg21.Vg22より 供給する可変パイアス電圧で利得を制御することが可能 となる。

なお、可変バイアス入力端Vg21.Vg22より供給 する可変バイアス電圧と平衡型増幅器の利得との関係を 纂2図に示しており、同図に示すように利得可変範囲は 6dBまで可能である。

「発明の効果コ

で増幅した信号となる。

以上説明したように本発明は、デュアルゲートトランジスタを用いた平衡型増幅器の可変ゲートバイアス電圧を制御することにより最大利得制御範囲が6dBと狭く、高精度な利得設定を行うことが可能な増幅装置を容易に実現することができる。

特に、平衡型増幅素子にG a A s デュアルゲートトランジスタを用いた場合、利得の温度依存性が著しく小さいために温度補償を考慮する必要もない。また、放射線の照射に対しても安定なことから宇宙空間で使用する通信機などへの応用に際しても重金属による放射線シールドを施す必要がな(、質量上の問題を解消することができる。

【図面の簡単な説明】

第1図は本発明の一実施例に係る増幅装置の回路図、第 2図は利得制御を示すグラフである。 112: ハイブリッド

3.4: デュアルゲートトランジスタgll、g12. g21. g22:信号入力ゲート
 IN= 入力端 OUT: 出力端Vgll、Vg12: 固定バイアス入力端Vg21. Vg22:

可変バイアス入力端出願人 日本電気株式会社 代理人 弁理士 渡辺喜事

第11Q

6: (TR21

10 1N 2 🗵

40

50

❷日本国特許庁(JP)

@特許出願公開

®公開特許公報(A)

平4-87406

Mint. Cl. 5

識別記号

庁内整理番号

❷公開 平成4年(1992)3月19日

H 03 F 1/30

A 8836-5 J 8836-5 I

H 03 G 3/10

8836-5] C 7239-5]

審査請求 未請求 請求項の数 2 (全3頁)

◎発明の名称 増幅装置

図特 願 平2-203026

9出 顧 平2(1990)7月31日

東京都港区芝5丁目7番1号 日本電気株式会社内

出 頭 人 日本電気株式会社 東京都港区芝5丁目7番1号

19代 理 人 弁理士 渡辺 喜平

明 # *

. DEOSS

增售集配

2. 特許請求の毎日

(1) 一対のチェアルゲートトランジスタで平衡 型の増組器を構成するとともに、 名デェアルゲートトランジスタの一方のゲートに入力信号とペイ アス電圧を印加し、 いずれか一方のデュアルゲートトランジスタにおける他方のゲートには利得別 物居可変ペイアス電圧を印加してなる構成とした ことを特徴とする増額装置。

(2)上記録求項1に記載の増幅装置において、 上記デュアルゲートトランジスクをGBABデュアルゲートトランジスクで構成したことを特徴と

8. 免明の詳細な説明

[産業上の利用分野]

_、 本知別は、 可無数低に関し、 やに、 有反じ合い 利得数定を要するマイクロ被通信 製量に使用して 好通な増価装置に関する。

[従来の技術]

マイクロ波道信装度に使用される増価装置は特 使の高い利得股定が要求され、特に温度変化で変 動する利得を一定に係っための温度機関の面でも 特殊の本い人のが歴史まれる。

従来の増編装置における利得制御は、定インピーグンス化を計った可変抵抗減衰悪を増備回路とともに使用し、全体としての利得制御を行っいる。この可変抵抗減衰器としては、何えば服方向電流により動作抵抗値が変化するPINダイオードを回路内の維路に直列または坐列に接続して可変抵抗回路を構成するとともに、さらにこの可変抵抗回路を平衡型に接続して定インピーグンス化を計

「無法すべき屋裏」

上述した従来の増幅数置においては、以下のような問題点があった。

可能抵抗減衰弱はPINダイオードの持つ広範囲な動作抵抗値によって18dB以上の大きな競

特開平4-87406 (2)

変量の変化を得ているが、その反面で安定な減要 量の数定のためにPINダイオードの逆方向ペイ アス電流をより安定にするための高安定ペイアス 観練日路を必要とする。

また、PINダイオードそれ自身の持つ動作抵抗性の温度係散が1であたり+0。1~+0。2 光であるため、温度変化に対しての安定な譲渡量数定のためには、すらにバイアス制御回路に温度循係成子を含めた温度循係機能を付加する必要が生じ、高安定なバイアス制御回路の実現を困難としている。

まらに、可変接纹象子として使用されているP INダイオードは、放射線が展制されると順方向 低数値が悪しく増加して実用に耐えない。このため、通信需量での使用のように、宇客空間の使用 に載しては全体に重金属による放射線シールドを 進すことが必要となり、軽量化が強く要求される 需量接触速位機の場合には質量上の問題が生じる。 本発明は、上記課題にかんがみてなされたもの で、高糖皮な利得制物が可能で、かつ衛星部構造

ルゲートトランジステは、 他方のゲートに入力 s れる利得制御用可変パイアス電圧によって利得が 制御まれ、 開制御用可変パイアス電圧によって生 じる利得の差に応じた増値を行う。

また、第2の東京項に記載の発明においては、かかる増越を行うデュアルゲートトランジスタがG a A s デュアルゲートトランジスタで様成されているため、温度変化にかかわらず一定の増幅を行う。

すなわち、デュアルゲートトランジステモ用いた平着型増価器を構成し、この平衡型増価器のいずれか一方のデュアルゲートトランジステの可変ゲートバイアスの制御でもってデュアルゲートトランジステの各様を制御し、平衡型増級器全体の表帯を制御している。

[黄葉男]

以下、 国面にもとづいて本典明の実施資を戦明 ナ &。

第1回は本典明の一実施例に係る地區装置のブ マッタ館、第2回は同地幅装置における利格制御 書籍にも使用可能な増幅装置の提供を目的とする。 「温度の解決手段」

上記目的を達成するため、第1の原来項に記憶の発明は、一対のデュアルゲートトランジスタで平衡型の増援器を建成するとともに、各デュアルゲートトランジスタの一方のゲートに入力信号とパイアス電圧を印加し、いずれか一方のデュアルゲートトランジスタにおける他方のゲートには利得利用可変パイアス電圧を印加してなる構成としてある。

また、第2の請求項に記載の発明は、請求項 I に記載の増価被数において、上記デュアルゲートトランジスタをG a A s デュアルゲートトランジスタで構成してある。

【作用】

上記のように構成した第1の技术項に記載の発明においては、平衡型増価器を構成する一対のデュアルゲートトランジスタは、それぞれ一方のゲートに入力される入力信号とバイアス電圧によって相反する増幅を行うが、いずれか一方のデュア

を説明するグラフである。

第1回において、1及び2は3 d B 9 0 ° へイブリッド (H Y B 1, H Y B 2) であり、ハイブリッド 1 は信号入力能 1 N から入力された信号を2分する。2分された各信号は、総合用コンデンサ 3, 4 を介してデュアルゲートトランジスタ (T R 1, T R 2) 5。6 におけるそれぞれの信号入力ゲート g 1 1。 g 1 2 には固定パイアス入力は Y g 1 1。 Y g 1 2 が接続されている。

一方、デェアルゲートトランジスタ(TR1、TR2) 5、6 における他の信号入力ゲート 8 2 1、 g 2 2 には可変ペイアス入力増 V g 2 1、 V g 2 2 が接続され、それぞれのトランジスタ 5、6 における信号入力ゲートg 1 1、 g 2 1 および g 1 2、 g 2 2 に印加される電圧に応じてドレイン電流供給縄子 V DO1、 V DO2 より供給されるドレイン電流供給網子 8 5 5 6

デュアルゲートトランジスク5、 6 のドレイン

特閒平4-87406 (3)

D 1. D 2 は結合用コンデンサイ、 8 を介してハイブリッド 2 に入力され、同ハイブリッド 2 はベクトル合成して増価信号を出力性 O U T から出力する。

上記様成において、固定ペイアス入力増Vs11、Vs12から所定のペイアス電圧を印加し、信号入力増1Nから入力信号を入力すると、力信号はペイブリッド1にて2分され、結合用コンデンサる。4に入力される。四コンデンサる。4 に入力される。四コンデンサる。4 にん力される。四コンデンサる。4 における信号入力ゲートs11。g12に入力されてドレイン電流を刺繍する。この結果、ドレイン電流は入力信号を増振したものとなり、ペイブリッド2で合成された出力信号は入力信号を所定判録で増振した信号となる。

このとも、一方のデュアルゲートトランジスタ 5 (または 6) の可変パイアスゲート g 2 1 (または g 2 2) の電圧を、子め放定した最適パイアス電圧から魚の方向に電圧を変化させていくと、

特に、平衡型増額素子にG a A s デュアルゲートトランジスタを用いた場合、利得の選定依存性が新しく小さいために選皮補便を考慮する必要もない。また、放射線の展射に対しても安定なことから宇宙型間で使用する選信機などへの応用に振しても重金属による放射線シールドを施す必要がなく、質量上の問題を解消することができる。
4. 図面の簡単な観明

第1回は本発明の一実施例に係る増継装置の回路間、第2回は利得制御を示すグラフである。

1. 2: ハイブリッド

8, 4: Fathf-llfv929; g11, g12, g21, g22

: 信号入力ゲート

O U T: 出力地

V g l l, V g l 2: 関定ペイアス入力場 V g 2 l. V g 2 2: 可変ペイアス入力機

出版人 日本電気株式会社

代理人 弁理士 建迎客平

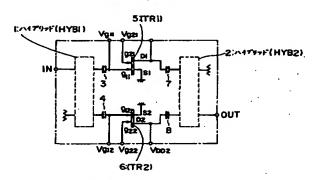
同トランジスタ 5 (または 6) はピンテオフに近い状態となって増価機能が低下する。 従って、 四トランジスタ 5 (または 6) のみの利得が低下してハイブリッド 2 で合成された出力量は低下するため、平衡型増価書全体としての利得を低下させることができる。

すなわち、可変ペイアス入力地 V g 2 1。 V g 2 2 上り供給する可変ペイアス電圧で利得を制御することが可能となる。

なお、可要パイアス入力性 V g 2 1、 V g 2 2 2 より 供給する可変パイアス 電圧と平衡型増進器の利得との関係を第2 型に示しており、 同型に示すように利得可変範囲は 6 d B まで可能である。

以上説明したように本発明は、 デュアルゲート トランジスタを用いた平衡型増振器の可変ゲート バイアス 電圧を制御することにより最大利得制御 観囲が 6 d B と狭く、 高精度な利得設定を行うこ とが可能な増振装置を容易に変現することができ *

第 | 因



章 2 因

